

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-119256

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
1/133	5 5 0	1/133 5 5 0

審査請求 有 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平9-286892

(22) 出願日 平成9年(1997)10月20日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 松本 征一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 大井 進

東京都港区芝五丁目7番1号 日本電気株式会社内

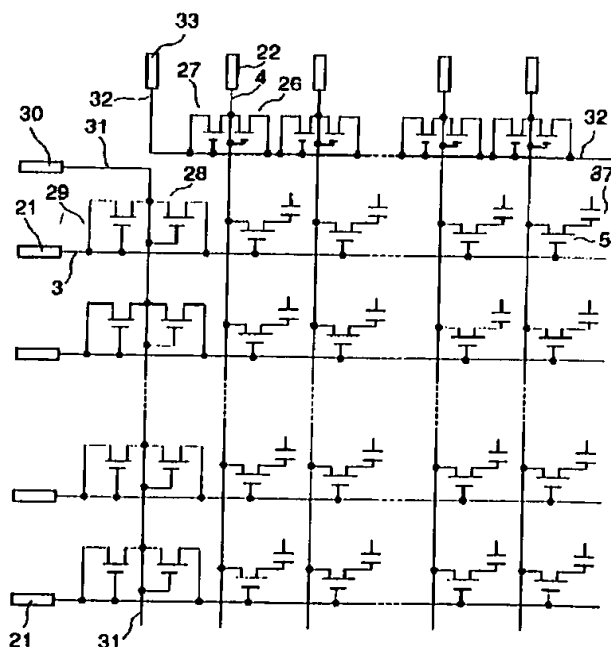
(74) 代理人 弁理士 鈴木 弘男

(54) 【発明の名称】 アクティブマトリクス液晶表示装置

(57) 【要約】

【課題】 静電気による不良を低減するためのサージ保護回路を薄膜トランジスタアレイの外周に設けると共に、走査線と電荷を逃す基準電位線との間で流れる電流の値を小さくして、アクティブマトリクス表示装置の駆動時の消費電力を低減する。

【解決手段】 アクティブマトリクス液晶表示装置の薄膜トランジスタアレイの画像領域の外周に、走査線3に直交して配置された走査線側基準電位線31と、走査線3と走査線側基準電位線31とを接続するサージ保護回路28、29と、信号線4に直交して配置された信号線側基準電位線32と、信号線4と信号線側基準電位線32とを接続するサージ保護回路26、27とを設け、走査線3あるいは信号線4にサージ電圧が印加されたときに電荷を走査線側基準電位線31あるいは信号線側基準電位線32に逃がすようにした。



【特許請求の範囲】

【請求項 1】 透明絶縁基板上にマトリクス上に配置された走査線および信号線と、該走査線と該信号線とで囲まれた領域に配置された画素電極と、該走査線と該信号線との交点に近接して配置された表示用薄膜トランジスタとを有し、該表示用薄膜トランジスタのドレイン電極が該信号線に、該表示用薄膜トランジスタのソース電極が該画素電極に、該表示用薄膜トランジスタのゲート電極が該走査線にそれぞれ接続された薄膜トランジスタアレイを有するアクティブマトリクス液晶表示装置において、

該薄膜トランジスタアレイの画像領域の外周に、該走査線に直交して配置された走査線側基準電位線と、該走査線と該走査線側基準電位線とを接続するサージ保護回路と、該信号線に直交して配置された信号線側基準電位線と、該信号線と該信号線側基準電位線とを接続するサージ保護回路とを設け、該走査線あるいは該信号線にサージ電圧が印加されたときに電荷を該走査線側基準電位線あるいは該信号線側基準電位線に逃がすようにした、アクティブマトリクス液晶表示装置。

【請求項 2】 前記走査線側基準電位線と、前記信号線側基準電位線とに、それぞれ任意の基準電位を印加できるようにした、請求項 1 に記載のアクティブマトリクス液晶表示装置。

【請求項 3】 前記サージ保護回路が、2つの2端子動作薄膜トランジスタで構成され、前記走査線に接続された2端子動作薄膜トランジスタの一方のゲート電極は該走査線に接続され、他方の2端子動作薄膜トランジスタのゲート電極は前記走査線側基準電位線に接続され、かつ、前記信号線に接続された2端子動作薄膜トランジスタの一方のゲート電極は該信号線に接続され、他方の2端子動作薄膜トランジスタのゲート電極は前記信号線側基準電位線に接続された、請求項 2 に記載のアクティブマトリクス液晶表示装置。

【請求項 4】 前記走査線側基準電位線に前記表示用薄膜トランジスタの OFF 時のゲート設定電圧を印加するようにした、請求項 3 に記載のアクティブマトリクス液晶表示装置。

【請求項 5】 前記信号線側基準電位線に、前記アクティブマトリクス液晶表示装置の共通電極に印加する電圧と同位の電圧を印加するようにした、請求項 3 に記載のアクティブマトリクス液晶表示装置。

【請求項 6】 前記信号線側基準電位線は前記走査線の形成と同時に、前記走査線側基準電位線は前記信号線の形成と同時に、前記2端子動作薄膜トランジスタは前記表示用薄膜トランジスタの形成と同時に、それぞれ形成することを特徴とする、請求項 3 に記載のアクティブマトリクス液晶表示装置の薄膜トランジスタアレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関する、特にアクティブマトリクス液晶表示装置に関する。

【0002】

【従来の技術】現在、液晶表示装置は軽量、低消費電力等の特徴を有するディスプレイとして、パーソナルコンピュータや各種モニタに広く使用されている。特に、各画素ごとに薄膜トランジスタを形成したアクティブマトリクス液晶表示装置は、各画素の明るさを電圧制御により細かく変化させることができるため、高精細なディスプレイとして様々な用途に使用されている。

【0003】ここで、従来技術による一般的なアクティブマトリクス液晶表示装置（以下、「アクティブマトリクス表示装置」という）の構造および動作原理について、図5および図6を用いて説明する。図5は従来技術による一般的なアクティブマトリクス表示装置の断面図であり、図6は図5中の第1の絶縁性基板上にマトリクス状に形成された薄膜トランジスタアレイの回路構成の概略を示す図である。

【0004】図5に示すように、従来のアクティブマトリクス表示装置では、第1の絶縁性基板1と第2の絶縁性基板2とが互いに平行に対向して配置され、その間隙には表示材料である液晶10が挟持されている。第1の絶縁性基板1の液晶10と接する側の一主面上には画素電極6を含む薄膜トランジスタアレイ（図6参照）が形成されている。

【0005】また、第1の絶縁性基板1と相対する第2の絶縁性基板2の液晶10と接する側の一主面には、R（赤）、G（緑）、B（青）の3原色の色層7、8、9が、第1の基板の各画素電極6に相対する箇所に形成され、各色層7、8、9の境界部には遮光するためのブラックマトリクス11、さらにその上には透明導電膜からなる共通電極12が形成されている。

【0006】図6は図5中の第1の絶縁性基板上にマトリクス状に形成された薄膜トランジスタアレイの回路構成の概略を示しており、第1の絶縁性基板1の液晶10と接する側の一主面には複数の走査線3と複数の信号線4がそれぞれ行及び列方向に形成され、これらの交差部にマトリクス状に表示用薄膜トランジスタ5が配置されている。そして、表示用薄膜トランジスタ5のゲートは走査線3に、ドレインは信号線4に、ソースは透明導電膜からなる画素電極6に接続されている。

【0007】かかる構成を有するアクティブマトリクス表示装置において、各走査線3に順次表示用薄膜トランジスタ5をONするための走査パルス電圧を供給すると共に、その走査パルスに同期して表示する画像に対応する信号電圧を信号線4に供給すれば、走査線3に接続された表示用薄膜トランジスタ5が作動し、信号線4から画素電極6に所定の電圧が書き込まれ、次にこの走査線3に走査パルス電圧が供給されるまでの間、この書き込

まれた電圧が保持される。その結果、各画素電極6と共通電極12(図5参照)との間に保持電圧に応じた電界が生じて液晶の分子の配向を変化させ、第1の絶縁性基板1、液晶10、第2の絶縁性基板2という経路で透過する光の光量を変化させる。この光の透過状態変化を利用して画像などを表示するものである。

【0008】図7は上述した従来技術によるアクティブマトリクス表示装置で用いられている薄膜トランジスタの一例の製造工程を工程順に示す断面図である。図7に示す薄膜トランジスタは逆スタガー型と呼ばれる構造で、図7(e)に示すように、ゲート電極14上にゲート絶縁膜15を介して島状の半導体膜16が対向し、その半導体膜16にはオーミックコンタクト層17を介してソース電極19およびドレイン電極18が配置されている。

【0009】次に、この従来の薄膜トランジスタの製造工程を図7を用いて説明する。まず、ガラスなどの透明絶縁基板13上に、AlやMo、Crなどからなる第1の導電膜をスパッタ法等により全面に堆積し、これに感光性のレジストを塗布してフォトリソグラフィによって露光、現像、エッチングおよびレジスト剥離を行って、ゲート電極14および走査線(図示せず)などの所定パターンを有する第1の導電膜のパターニングを完了する(図7(a))。

【0010】続いて、第1の導電膜の所定パターン上にスパッタ法やプラズマCVD法などでSiO_xやSiN_x等からなるゲート絶縁膜15、アモルファスシリコン(以下「a-Si」と称す)等からなる半導体膜16およびn型a-Si等からなるオーミックコンタクト膜17を順に連続して全面に堆積する。その後、フォトリソグラフィによって、半導体膜16およびオーミックコンタクト膜17をパターニングして、ゲート電極14上のゲート絶縁膜15上にトランジスタのチャネル部となる所定のパターンを形成する(図7(b))。

【0011】次に、走査線入力パッド部や信号線入力パッド部等(図示せず)で、第1の導電膜と後に形成するソース電極、ドレイン電極及び信号線等を形成する第2の導電膜との導通をとるために、フォトリソグラフィにより所定パターンにゲート絶縁膜15をエッチングして第1の導電膜上にゲート絶縁膜15の開口部を形成する(図示せず)。続いて、AlやMo、Cr等からなる第2の導電膜をスパッタ法等により全面に堆積し、フォトリソグラフィにより信号線4(図6参照)、ソース電極19、ドレイン電極18を形成する(図7(c))。

さらに、ITO等の透明導電膜を全面に堆積し、フォトリソグラフィにより画素電極6を形成した後、ソース電極19およびドレイン電極18をマスクとしてエッチングを行い、トランジスタチャネル部のn型a-Si、すなわちオーミックコンタクト膜17を除去する(図7(d))。最後に、SiN_x等からなる保護

膜20を全面に堆積し(図7(e))、画素電極6上および外部から信号を入力するためのパッド上の保護膜をフォトリソグラフィにより除去して、薄膜トランジスタの形成が完了する。

【0012】この従来のアクティブマトリクス表示装置で用いられる薄膜トランジスタアレイの製造過程では、各工程で成膜装置やエッチング装置のトレイ等から絶縁基板をはずす際の剥離帯電、あるいは成膜工程やエッチング工程等で導電膜のパターンがチャージアップされ帯電するという現象が生じる。特に、プラズマCVD法を用いた絶縁膜や半導体膜の成膜工程およびドライエッチング工程では、プラズマ中に基板が長時間さらされるため帯電が生じやすい。また、このような帯電のほかにも、プラズマCVD法等を用いた成膜工程中の異常放電等により、ある特定の信号線や走査線に対して瞬間的に非常に大きな電荷が加えられることがある。

【0013】このようなときに、図6に示すように、各走査線3同士、あるいは各信号線4同士が接続されておらず、電気的に独立している場合には、隣合う走査線や信号線の間の帯電量の差や、ある特定の走査線や信号線に異常放電により加えられた電荷が絶縁膜の耐圧を上回る可能性が増大し、隣り合う走査線間あるいは信号線間で突発電流が流れ、配線の断線、ショートあるいは絶縁膜の破壊等の不良を引き起こす。また、断線やショートに至らない場合でも、トランジスタ部でゲート絶縁膜に電荷の注入が生じ、しきい値がシフトする等、トランジスタ特性が変化して点欠陥不良が生じる等の問題がある。

【0014】特に、この従来例の走査線等のように、透明絶縁基板上に最初に形成される走査線もしくは信号線等の配線のパターンは、薄膜トランジスタの形成が完了するまでに通過する成膜やドライエッチングの工程数が多い上、比較的パターンの長さが長く面積も大きいため、チャージアップによる帯電量も大きく、断線やショート等の不良が多くなるという問題がある。

【0015】上記課題を解決するために、例えばすべての走査線同士およびすべての信号線同士を共通線で接続したアクティブマトリクス表示装置の薄膜トランジスタアレイが知られている。図8は、この薄膜トランジスタアレイの回路構成の概略を示した平面図である。なお、図8に示す薄膜トランジスタの構成は、図7に示した逆スタガー型薄膜トランジスタと同じ構造である。

【0016】図8に示した薄膜トランジスタアレイでは、各走査線3および各信号線4は各走査線側入力パッド21および各信号線側入力パッド22を経由して引き出され、走査線側共通線23または信号線側共通線24に接続されている。このような構成にすることにより、すべての走査線同士およびすべての信号線同士は同電位となるため、薄膜トランジスタの製造工程中で特定の走査線や信号線に非常に大きな電荷が加わった場合でも共

通線を介して電荷が分散して流れるため、隣り合う走査線間あるいは信号線間で突発電流が流れることなどが低減され、さらに特定の線が破壊されたり、あるいは特定の薄膜トランジスタの特性が変化するということが低減される。

【0017】しかしながら、上記のような薄膜トランジスタアレイでは、各走査線 3 および各信号線 4 が接続された状態のままでは画像を表示することができないため、製造工程中のある時点で、共通線による各走査線 3 あるいは各信号線 4 の接続を切り離してそれぞれの配線に分離する必要がある。したがって、例えばガラス基板から液晶表示パネルを切り出す工程で配線の分離を行った場合には、それ以降の工程で静電気により大きな電荷が走査線もしくは信号線に与えられた場合には不良が発生する可能性が大きくなる。具体的には、アクティブマトリクス表示装置の表示検査工程では、走査線側入力パッド 2 1 と信号線側入力パッド 2 2 に表示検査装置のプロブ等を接触させ、各走査線 3 および信号線 4 にそれぞれ所定の電気信号を与えてアクティブマトリクス表示装置を表示させて欠陥の有無を検査するが、表示検査装置のプロブ等と走査線側入力パッド 2 1 または信号線側入力パッド 2 2 との間で電位差がある場合には、電荷が走査線側入力パッド 2 1 または信号線側入力パッド 2 2 を介して薄膜トランジスタアレイに印加され、配線の断線、ショートあるいは絶縁膜の破壊などが生ずる。また、トランジスタ部のゲート絶縁膜に電荷が注入されてしきい値シフトが生じ、点欠陥不良となる等の不良が生じる。さらに、外部駆動回路の実装等の工程でも、走査線側入力パッド 2 1 または信号線側入力パッド 2 2 と、それに接触する装置等の間で電位差がある場合には同様の不良が生じる。

【0018】上記問題点を解決する技術として、特開昭 6 3 - 2 2 0 2 9 8 号に開示されたアクティブマトリクス表示装置の薄膜トランジスタアレイの構造がある。図 9 はこの薄膜トランジスタアレイの回路構成の概略を示す平面図であり、図 10 は図 9 に示した回路構成の一本の走査線に接続された 2 端子動作薄膜トランジスタの部分を示している。

【0019】図 9、図 10 に示すように、特開昭 6 3 - 2 2 0 2 9 8 号に開示された薄膜トランジスタアレイでは、各走査線 3 および各信号線 4 は、互いに逆方向に並列に配置された 2 つの 2 端子動作薄膜トランジスタ 2 8、2 9 および 2 6、2 7 によって基準電位線 2 5 に接続されている。各走査線 3 および各信号線 4 には、駆動回路から電気信号が与えられており、各走査線 3 および各信号線 4 の交差部に形成された表示用薄膜トランジスタ 5 を動作させて、画像を表示している。また、基準電位線 2 5 には図示しない端子より液晶表示装置の共通電極に与えられる電位と同じ電位が与えられている。このように、基準電位線 2 5 の電位を共通電極に印加される

電位と同じにすると、基準電位線 2 5 を共通電極に電位を印加するための配線としても使用することができる。

【0020】この 2 端子動作薄膜トランジスタを 2 個付加したときの、走査線 3 および基準電位線 2 5 の電圧 - 電流特性は図 11 に示す特性となる。すなわち、薄膜トランジスタアレイの製造工程中に、走査線 3 が静電気等により基準電位線 2 5 に対して正または負に帯電すると、その電荷を打ち消す方向、つまり走査線 3 が正に帯電した場合にはその正電荷を基準電位線 2 5 に逃がす方向、走査線 3 が負に帯電した場合にはその負電荷を基準電位線 2 5 に逃がす方向に電流が流れる。したがって、帯電した走査線 3 と基準電位線 2 5 との間の電位差、および帯電した走査線 3 と隣合う走査線 3 との間の電位差を小さくすることができるため、帯電した走査線 3 と基準電位線 2 5 との交差部での絶縁膜の破壊や、帯電した走査線 3 の断線、帯電した走査線 3 と隣合う走査線 3 のショート、さらに帯電した走査線 3 に接続している表示用薄膜トランジスタ 5 のしきい値シフト等の不良を低減することができる。同様のことは、信号線 4 についてもいうことができる。

【0021】また、アクティブマトリクス表示装置の表示検査工程や外部駆動回路の実装等の工程で、プロブや装置と走査線側入力パッド 2 1 または信号線側入力パッド 2 2 との間に電位差があり、薄膜トランジスタアレイに電荷が印加された場合でも、その電荷は基準電位線 2 5 に逃げるために、表示検査工程以降に発生する不良を低減することができる。また、この 2 端子動作薄膜トランジスタ 2 6、2 7、2 8、2 9 は、通常の表示用薄膜トランジスタ 5 の形成と同一工程で作成されるため、新たに工程を増加させることなく、静電気による不良の少ないアクティブマトリクス表示装置を作成することができる。

【0022】

【発明が解決しようとする課題】しかしながら、上記のようなアクティブマトリクス表示装置の薄膜トランジスタアレイでは、画像を表示するアクティブマトリクス表示装置の通常の駆動時にも、2 端子動作薄膜トランジスタを介して基準電位線 2 5 と走査線 3 との間で電流が流れ、液晶表示装置の消費電力が増加するという問題点があった。

【0023】一般的に 2 端子動作薄膜トランジスタに流れる電流 I (A) は、以下の数 1 で表される。

【0024】

$$\begin{aligned} \text{【数 1】 } & V < V_{th} \text{ のとき } \quad I = 0 \\ & V \geq V_{th} \text{ のとき } \quad I = K (V - V_{th})^2, \quad K = \mu C / 2L \end{aligned}$$

ここで、 V は (ソース (ドレイン) 電極の電位) - (ゲート電極の電位)、 V_{th} は 2 端子動作薄膜トランジスタのしきい値電圧、 μ は電解効果移動度、 W はトランジスタ長、 L はトランジスタ幅、 C はトランジスタのゲー

ト容量、である。

【0025】上記の薄膜トランジスタアレイにおいて、表示用薄膜トランジスタ5の動作をON状態にするときに走査線に印加する電圧を+20V、OFF状態にするときに印加する電圧を-5Vとし、基準電位線25の電圧を共通電極に印加する電圧と同じ+5V、2端子動作薄膜トランジスタのVthを2Vとする。

【0026】ここで、このアクティブマトリクス表示装置がSVGAパネル（信号線2400本、走査線数600本）とすると、ある1本の走査線3に接続された表示用薄膜トランジスタ5をON状態にしているとき、1本の走査線3には+20Vの電圧が印加され、残り599本の走査線には-5Vの電圧が印加される。このときに走査線3と基準電位線25との間に流れる電流を図10を参照して考える。

【0027】まず、ある一本の走査線3に-5Vの電圧が印加されているとき、2端子動作薄膜トランジスタ28はトランジスタがOFF状態となって電流は流れないが、2端子動作薄膜トランジスタ29ではON状態となり基準電位線25から走査線3に電流が流れる。このとき流れる電流Iは、数1より $I = (10 - 2)^2 K = 64 K$ となる。したがって、599本の走査線3と基準電位線25との間に流れる電流の合計をIOFFとすると、 $IOFF = 599 \times 64 K = 38336 K (A)$ 程度となる。

【0028】次に、ある走査線3に+20Vの電圧が印加されているとき、2端子動作薄膜トランジスタ29はOFF状態となって電流は流れないが、2端子動作薄膜トランジスタ28ではON状態となり走査線3から基準電位線25に電流が流れる。このとき流れる電流をIONとすると、数1より $ION = (15 - 2)^2 K = 169 K$ となる。ここで、 $IOFF \gg ION$ であるので、走査線3と基準電位線25との間に流れる電流はほぼIOFFとみなすことができる。このように、図9に示す薄膜トランジスタアレイの構造では、アクティブマトリクス表示装置の駆動時の消費電力が増加するという問題点があった。

【0029】本発明は上記問題点にかんがみてなされたものであり、その目的は、静電気による不良を低減するためのサージ保護回路を薄膜トランジスタアレイの外周に設けると共に、走査線と基準電位線との間で流れる電流の値を小さくして、アクティブマトリクス表示装置の駆動時の消費電力を低減できるアクティブマトリクス表示装置を提供することにある。

【0030】

【課題を解決するための手段】上記目的を達成するために、本発明によるアクティブマトリクス液晶表示装置は、透明絶縁基板上にマトリクス上に配置された走査線および信号線と、該走査線と該信号線とで囲まれた領域に配置された画素電極と、該走査線と該信号線との交点に近接して配置された表示用薄膜トランジスタとを有

し、該表示用薄膜トランジスタのドレイン電極が該信号線に、該表示用薄膜トランジスタのソース電極が該画素電極に、該表示用薄膜トランジスタのゲート電極が該走査線にそれぞれ接続された薄膜トランジスタアレイを有するアクティブマトリクス液晶表示装置において、該薄膜トランジスタアレイの画像領域の外周に、該走査線に直交して配置された走査線側基準電位線と、該走査線と該走査線側基準電位線とを接続するサージ保護回路と、該信号線に直交して配置された信号線側基準電位線と、該信号線と該信号線側基準電位線とを接続するサージ保護回路とを設け、該走査線あるいは該信号線にサージ電圧が印加されたときに電荷を該走査線側基準電位線あるいは該信号線側基準電位線に逃がすようにしたことを特徴とする。

【0031】かかる構成を採用したことにより、静電気等により走査線あるいは信号線に大きな電荷が印加された場合でも、帯電した走査線や信号線の断線、隣り合った走査線や信号線同士のショートのような静電気等による不良を防止できる。

【0032】また、上記のアクティブマトリクス液晶表示装置において、前記走査線側基準電位線と、前記信号線側基準電位線とに、それぞれ任意の基準電位を印加できるようにすれば、サージ保護回路等をオン、オフする電位等を選択できるので、サージ保護回路を設けたための消費電力の増加を低減できる好適な基準電位を印加できる。

【0033】さらに、前記サージ保護回路を、2つの2端子動作薄膜トランジスタで構成するようにすれば、アクティブマトリクス液晶表示装置の薄膜トランジスタアレイの製造工程において、サージ保護回路を表示用薄膜トランジスタと同時に形成することができるので、サージ保護回路を設けたことによる製造工程の増加を抑えることができる。

【0034】なお、前記走査線側基準電位線に前記表示用薄膜トランジスタのOFF時のゲート設定電圧を印加するようにすれば、アクティブマトリクス液晶表示装置の消費電力を低減できると共に、設定電圧の複雑化を避けることができる。

【0035】同様に、前記信号線側基準電位線に、前記アクティブマトリクス液晶表示装置の共通電極に印加する電圧と同位の電圧を印加するようにすれば、信号線側基準電位線を共通電極に電位を印加するための配線としても使用することができるとともに、設定電圧の複雑化を避けることができる。

【0036】

【発明の実施の形態】以下、本願発明の実施の形態について図1を参照しながら説明する。図1は本願発明の実施の形態によるアクティブマトリクス表示装置の薄膜トランジスタアレイの回路構成の概略を示す図である。

【0037】図1に示すように、本実施の形態による薄

10

20

30

40

50

膜トランジスタアレイでは、透明絶縁基板上に複数の走査線 3 と複数の信号線 4 とがそれぞれ行および列方向に形成され、これらの交差部に表示用薄膜トランジスタ 5 が形成されている。そして、表示用薄膜トランジスタ 5 のゲート電極は走査線 3 に、ドレイン電極は信号線 4 に、ソース電極は画素電極（図示せず）に接続される。表示用薄膜トランジスタ 5 のソース電極に接続された画素電極と対向基板（図示せず）により、液晶材を誘電体として、コンデンサ 37 が形成される。

【0038】また、薄膜トランジスタアレイの画像領域の外周において、各走査線 3 は互いに逆方向に並列に配置された 2 つの 2 端子動作薄膜トランジスタ 28、29 によって走査線側基準電位線 31 に接続されている。同様に、各信号線 4 は互いに逆方向に並列に配置された 2 つの 2 端子動作薄膜トランジスタ 26、27 によって信号線側基準電位線 32 に接続されている。すなわち、図 1 に示すように、各走査線 3 に付加された 2 端子動作薄膜トランジスタ 28、29 の一方のゲート電極は走査線 3 に接続され、2 端子動作薄膜トランジスタ 28、29 の他方のゲート電極は走査線側基準電位線 31 に接続されている。同様に、各信号線 4 に付加された 2 端子動作薄膜トランジスタ 26、27 の一方のゲート電極は信号線 4 に接続され、2 端子動作薄膜トランジスタ 26、27 の他方のゲート電極は信号線側基準電位線 32 に接続されている。

【0039】さらに、走査線側基準電位線 31 は走査線側基準電位線入力パッド 30 に接続されており、この走査線側基準電位線入力パッド 30 に図示しない駆動回路から任意の基準電位電圧を印加することができる。同様に、信号線側基準電位線 32 は信号線側基準電位線入力パッド 33 に接続されており、この信号線側基準電位線入力パッド 33 に図示しない駆動回路から任意の基準電位電圧を印加することができる。

【0040】この薄膜トランジスタアレイの表示動作を次に説明する。各走査線 3 の走査線側入力パッド 21 には順次表示用薄膜トランジスタ 5 を ON にするための走査パルス電圧が供給されるとともに、その走査パルスに同期して表示する画像に対応する信号電圧を信号線 4 の信号線側入力パッド 22 に供給することによって、走査線 3 に接続された表示用薄膜トランジスタ 5 が作動し、信号線 4 から画素電極に所定の電圧が書き込まれて、コンデンサ 37 の充放電を行い、画像信号電圧をコンデンサ 37、すなわち液晶層に印加することにより、画像の表示動作が行われる。

【0041】次に、2 端子動作薄膜トランジスタ 28、29、26、27 を付加したときの、走査線 3 と走査線側基準電位線 31 との間の電圧-電流特性、および信号線 4 と信号線側基準電位線 32 との間の電圧-電流特性について説明する。これらの電圧-電流特性はいずれも図 11 に示す特性と同様の特性となる。すなわち、走査

線 3 が静電気等により走査線側基準電位線 31 に対して正または負に帯電すると、その電荷を打ち消す方向、つまり走査線が正に帯電した場合にはその正電荷を走査線側基準電位線 31 に逃がす方向、走査線 3 が負に帯電した場合にはその負電荷を走査線側基準電位線 31 に逃がす方向に電流が流れる。したがって、静電気等により走査線 3 に大きな電荷が印加された場合でも、走査線側基準電位線 31 との間の電位差、および帯電した走査線 3 と隣合う走査線 3 との間の電位差を小さくすることができる。したがって、帯電した走査線 3 と走査線側基準電位線 31 との交差部での絶縁膜の破壊や、帯電した走査線 3 の断線、帯電した走査線 3 と隣合う走査線 3 のショート、さらに帯電した走査線 3 に接続している表示用薄膜トランジスタ 5 のしきい値シフト等の不良を低減することができる。信号線 4 についても同様の効果を得ることができる。

【0042】次に、本実施の形態による薄膜トランジスタアレイの製造工程について説明する。なお、薄膜トランジスタ自体の製造工程については、薄膜トランジスタの構造が同じであれば、基本的に図 7 に示した製造工程の順番に変わりはない。

【0043】まず、ガラス等の透明絶縁基板上に、第 1 の導電膜をスパッタ法等により全面に堆積し、これに感光性のレジストを塗布してフォトリソグラフィにより、表示用薄膜トランジスタ 5 と 2 端子動作薄膜トランジスタ 26、27、28、29 のゲート電極、走査線 3 および信号線側基準電位線 32 等を含む所定パターンを有した第 1 の導電膜のパターニングを行う。続いて、第 1 の導電膜の所定パターン上に CVD 法等で SiO_x や SiN_x 等からなるゲート絶縁膜、アモルファスシリコン（以下「a-Si」と称す）等からなる半導体膜、および n 型 a-Si 等のオーミックコンタクト膜を順に連続して全面に堆積し、その後フォトリソグラフィにより n 型 a-Si および a-Si ををパターニングして、ゲート電極上の絶縁膜上にトランジスタのチャネル部となる所定のパターンを形成する。

【0044】次に、走査線 3 や信号線側入力パッド部 21 等で、第 1 の導電膜と後から形成されるソース電極やドレイン電極や信号線 4 等を構成する第 1 の導電膜との導通をとるために、フォトリソグラフィにより所定のパターンにゲート絶縁膜をエッチングして、第 1 の導電膜上にゲート絶縁膜の開口部を形成する。続いて、第 2 の導電膜をスパッタ法等により全面に堆積し、フォトリソグラフィによって信号線 4、ソース電極、ドレイン電極および走査線側基準電位線 31 を形成する。さらに、ITO 等の透明導電膜を全面に堆積し、フォトリソグラフィにより画素電極を形成した後、ソース電極およびドレイン電極をマスクとしてエッチングを行い、トランジスタチャネル部の n 型 a-Si を除去したのち、SiN_x 等からなる保護膜を全面に堆積し、画素電極上

および外部から信号を入力するためのパッド上の保護膜をフォトリソグラフィにより除去して工程を完了する。

【0045】上に述べた製造工程から明らかなように、本実施の形態による薄膜トランジスタアレイにおいて、信号線側基準電位線 3 2 は走査線 3 の形成と同時に行うことができ、走査線側基準電位線 3 1 は信号線 4 の形成と同時に行うことができ、2 端子動作薄膜トランジスタ 2 6、2 7、2 8、2 9 は表示用薄膜トランジスタ 5 と同時に形成することができる。従って、従来の薄膜トランジスタアレイを製造する場合の製造工程数とほぼ同じ工程数で本実施の形態による薄膜トランジスタアレイを製造することができる。

【0046】次に、本実施の形態による、薄膜トランジスタアレイに所定の駆動回路等を付加して構成されるアクティブマトリクス表示装置において、画像を表示する通常の駆動時に、走査線側基準電位線 3 1 と走査線 3 との間で 2 端子動作薄膜トランジスタ 2 8、2 9 を介して流れる電流について、図 2 および図 3 を用いて説明する。

【0047】図 2 は、図 1 に示した回路構成の一本の走査線に接続された 2 端子動作薄膜トランジスタの部分を示している。また、図 3 はアクティブマトリクス表示装置に画像を表示する一般的な駆動方法を用いた場合の、ある一つの表示用薄膜トランジスタ 5 に接続された走査線 3 に印加される走査線電圧 3 4、信号線 4 に印加される信号線電圧 3 4 および共通電極 (図 5 参照) に印加される共通電極電圧 3 6 を示す図である。

【0048】図 3 に示すように、走査線 3 には一定周期で表示用薄膜トランジスタ 5 を ON 状態にするための走査線電圧 3 4 が印加されると共に、それ以外の時間は表示用薄膜トランジスタ 5 を OFF 状態にするための走査線電圧 3 4 が印加される。また、その表示用薄膜トランジスタ 5 が ON 状態になる時間に同期して、表示する画像に対応する所定の信号線電圧 3 5 が信号線 4 に印加される。これにより表示用薄膜トランジスタ 5 が作動し、信号線 3 から画素電極に電流が流れて画素電極が所定の電圧となり、共通電極との電位差により所定の透過率を得る。また、画素電極が所定の電圧となった後は表示用薄膜トランジスタ 5 は OFF 状態となり、次に走査線 3 に表示用薄膜トランジスタ 5 を ON 状態にするための電圧が印加されるまでの間、所定の電圧を保持する。

【0049】ところで、本実施の形態によれば、走査線側基準電位線 3 1 は走査線側基準電位線入力パッド 3 0 から、また、信号線側基準電位線 3 2 は信号線側基準電位線入力パッド 3 3 から、任意の電圧を印加することができるが、ここで両基準電位線にどのような値の電位を印加するのが好ましいか考える。

【0050】一般的に、信号線電圧 3 5 は目的とする画像に応じた所定の電位を表示用薄膜トランジスタに供給

するために特定の振幅を持っているが、その振幅の中心付近の電位が共通電極に印加される電位、すなわち、図 3 中の共通電極電圧 3 6 となる。また、同じく信号線電圧 3 5 の振幅の中心付近の電位を信号線側基準電位線 3 2 に印加するのが、信号線 4 との間に流れるリーク電流が最も小さくなるため好ましいと考えられる。また、走査線 3、信号線 4 および共通電極に印加する電位とは別の電位をわざわざ設定して、信号線側基準電位線 3 2 に印加するのは複雑になるため、それを避ける意味でも共通電極電圧 3 6 と同じ電位を印加するのが好ましい。さらに、信号線側基準電位線 3 2 に印加する電位を共通電極電圧 3 6 と同じにすれば、信号線側基準電位線 3 2 を共通電極に電位を印加するための配線としても使用することができる。

【0051】一方、走査線側基準電位線 3 1 に印加する電位としては、表示用薄膜トランジスタ 5 を OFF 状態にする電位 (図 3 中、走査線電圧 3 4 のオフ電圧) が、液晶表示装置の消費電力を低減する上で最も好ましいと考えられる。もちろん、走査線 3、信号線 4 および共通電極に印加する電位とは別の電位をわざわざ設定するという複雑さを避ける意味でも好ましい。

【0052】そこで、いま、表示用薄膜トランジスタ 5 の動作を ON 状態にするときに走査線に印加する走査線電圧 3 4 を +20 V、OFF 状態にするときに印加する走査線電圧 3 4 を -5 V とし、走査線側基準電位線 3 1 に印加する電圧を表示用薄膜トランジスタ 5 の動作を OFF 状態とするときに印加する電位と同じ -5 V、2 端子動作薄膜トランジスタ 2 8、2 9 の V_{th} を 2 V とする。また、このアクティブマトリクス表示装置が SVG A パネル (信号線 2400 本、走査線数 600 本) とする。この場合、順次に各走査線 3 の一本ずつにのみ走査線電圧 3 4 が印加され、この走査線 3 に接続された表示用薄膜トランジスタ 5 を ON 状態にしているとき、その 1 本の走査線 3 には +20 V の電圧が印加され、残り 599 本の走査線には -5 V の電圧が印加される。

【0053】このときに走査線 3 と走査線側基準電位線 3 1 との間に流れる電流を図 2 を参照して考える。まず、ある一本の走査線 3 に -5 V の電圧が印加されているときは、2 つの 2 端子動作薄膜トランジスタ 2 8、2 9 はともに OFF 状態となって電流は流れない。次に、ある一本の走査線 3 に +20 V の電圧が印加されているとき、2 端子動作薄膜トランジスタ 2 9 は OFF 状態となって電流が流れないが、2 端子動作薄膜トランジスタ 2 8 は ON 状態となり走査線 3 から走査線側基準電位線 3 1 に電流が流れる。このとき流れる電流を I_{ON} とすると、数 1 より $I_{ON} = (25 - 2)^2 K = 529 K (A)$ となる。したがって、先に示した従来例の $38336 K (A)$ に比べ、走査線 3 と走査線側基準電位線 3 1 との間に流れる電流を 14% 程度に低減することができる。

【0054】次に、図 4 を用いて、図 3 に示した駆動方

法とは異なる駆動方法を用いてアクティブマトリクス表示装置を駆動したときに、走査線側基準電位線 3 1 と走査線 3 との間で 2 端子動作薄膜トランジスタ 2 8、2 9 を介して流れる電流について説明する。図 4 は、図 3 とは異なるアクティブマトリクス表示装置に画像を表示する一般的な駆動方法を用いた場合の、ある一つの表示用薄膜トランジスタ 5 に接続された走査線 3 に印加される走査線電圧 3 4、信号線 4 に印加される信号線電圧 3 4 および共通電極 (図 5 参照) に印加される共通電極電圧 3 6 を示す図である。また、この駆動方法に用いる薄膜トランジスタアレイの構成は図 1 に示したものと同じである。

【0055】図 4 に示すように、走査線 3 には一定周期で表示用薄膜トランジスタ 5 を ON 状態にするための走査線電圧 3 4 が印加されると共に、それ以外の時間は表示用薄膜トランジスタ 5 を OFF 状態にするための走査線電圧 3 4 が印加される。また、OFF 状態の電圧として 2 つの電圧が設定されており、ON 状態終了直後に ON 状態の電圧が印加される時間と同程度の時間印加される第一のオフ電圧と、さらにその後、次の ON 状態の電圧が印加されるまでの時間印加され、かつ ON 状態終了直後の電圧より数 V 高めに設定された第二のオフ電圧の 2 つの電圧が設定されている。さらに、その表示用薄膜トランジスタ 5 が ON 状態になる時間に同期して、表示する画像に対応する所定の信号線電圧 3 5 が信号線 4 に印加される。これにより表示用薄膜トランジスタ 5 が作動し、信号線 3 から画素電極に電流が流れて画素電極が所定の電圧となり、共通電極との電位差により所定の透過率を得る。また、画素電極が所定の電圧となった後は表示用薄膜トランジスタ 5 は OFF 状態となり、次に走査線 3 に表示用薄膜トランジスタ 5 を ON 状態にするための電圧が印加されるまでの間、所定の電圧を保持する。

【0056】いま、表示用薄膜トランジスタ 5 の動作を ON 状態にするときに走査線に印加する走査線電圧 3 4 を +20 V、第一のオフ電圧を -10 V、第二のオフ電圧を -5 V、走査線側基準電位線 3 1 に印加する電圧を -5 V、2 端子動作薄膜トランジスタ 2 8、2 9 の V_{th} を 2 V とする。また、このアクティブマトリクス表示装置が SVG A パネル (信号線 2400 本、走査線数 600 本) とする。この場合、数 1 より、529 (A) K の電流が走査線 3 と走査線側基準電位線 3 1 との間に流れる。したがって、先に示した従来例の 38366 K

(A) に比べ、走査線 3 と走査線側基準電位線 3 1 との間に流れる電流を 14 % 程度に低減できる。

【0057】以上説明したように、本実施の形態によるアクティブマトリクス表示装置では、静電気等により非常に大きな電圧が走査線 3 や信号線 4 に印加された場合でも、2 端子動作薄膜トランジスタを介してその電圧を打ち消す方向に電流が流れて電荷を逃がすことができる

ため、走査線 3 と走査線側基準電位線 3 1 や信号線 4 との交差部での絶縁破壊や配線の断線、ショート、さらにトランジスタのしきい値シフト等の不良を低減することができるとともに、走査線側基準電位線 3 1 に任意の電位を印加することができるために、通常の駆動状態で走査線 3 と走査線側基準電位線 3 1 間で流れる電流が小さくすることができ、消費電力を低減したアクティブマトリクス表示装置を提供できる。

【0058】なお、本願発明の特徴は、液晶表示装置用薄膜トランジスタアレイの画像領域の外周に、走査線と直交する走査線側基準電位線と、信号線と直交する信号線側基準電位線とを設け、各走査線と走査線側基準電位線との間、及び各信号線と信号線側基準電位線との間に、走査線あるいは信号線にサージとして正負どちらの極性の電荷が印加された場合でも、その電荷をそれぞれの基準電位線に逃す素子を用いて構成された保護回路を設けたことにある。従って、上記した実施の形態においては、サージ保護回路に 2 つの 2 端子動作薄膜トランジスタを用いているが、それに限定されることはない。また、2 端子動作薄膜トランジスタを用いた場合でも、実施の形態に示されている構造のトランジスタに限定されることはない。

【0059】また、本願発明の他の特徴は、走査線側基準電位線と信号線側基準電位線とに任意の基準電位を印加できることであり、これにより、薄膜トランジスタアレイに設けられたサージ保護回路を ON、OFF する電位等を選択できることになる。このため、印加する好適な基準電位を選択することにより、液晶表示装置の通常駆動時において、サージ保護回路を設けたための消費電力の増加を低減することができる。したがって、選択する基準電位は、液晶表示装置の走査線電圧、信号線電圧、共通電極電圧や保護回路に用いる素子等に基づいて決定されるので、本実施の形態に記載された値に限定されるものではない。

【0060】

【発明の効果】以上説明したように、本願発明によるアクティブマトリクス液晶表示装置は、液晶表示装置用薄膜トランジスタアレイにサージ保護回路を付加し、静電気等による不良を低減することができると共に、液晶表示装置の通常駆動時にサージ保護回路に流れる電流を低減させて液晶表示装置の消費電力の増加を抑制できるので、液晶表示装置を組み立てた後もサージ保護回路を切り離す必要がなく、液晶表示装置の製造工程を増加させることがない。

【図面の簡単な説明】

【図 1】本願発明の実施の形態によるアクティブマトリクス表示装置用薄膜トランジスタアレイの回路構成の概略を示す図である。

【図 2】図 1 で示した薄膜トランジスタアレイの一本の走査線に付加された 2 端子動作薄膜トランジスタの部分

を示す図である。

【図3】アクティブマトリクス表示装置の一般的な駆動方法を用いたときの、走査電圧、信号線電圧および共通電極電圧を示す図である。

【図4】アクティブマトリクス表示装置の他の一般的な駆動方法を用いたときの、走査電圧、信号線電圧および共通電極電圧を示す図である。

【図5】従来のアクティブマトリクス表示装置の断面図である。

【図6】図5で示したアクティブマトリクス表示装置用薄膜トランジスタアレイの回路構成の概略を示す図である。

【図7】従来のアクティブマトリクス表示装置用薄膜トランジスタアレイに用いられる薄膜トランジスタの製造工程を工程順に示す断面図である。

【図8】従来のアクティブマトリクス表示装置用薄膜トランジスタアレイの回路構成の概略を示す図である。

【図9】特開昭63-220298号に開示された薄膜トランジスタアレイの回路構成の概略を示す図である。

【図10】図9で示した薄膜トランジスタアレイの一本の走査線に付加された2端子動作薄膜トランジスタの部分を示す図である。

【図11】図9で示す2端子動作薄膜トランジスタを付加したときの走査線および基準電位線の電圧-電流特性を示す図である。

【符号の説明】

- 1 第1の絶縁性基板
- 2 第2の絶縁性基板
- 3 走査線
- 4 信号線
- 5 表示用薄膜トランジスタ
- 6 画素電極

21 走査線側入力パッド

22 信号線側入力パッド

26、27、28、29 2端子動作薄膜トランジスタ

30 走査線側基準電位線入力パッド

31 走査線側基準電位線

32 信号線側基準電位線

33 信号線側基準電位線入力パッド

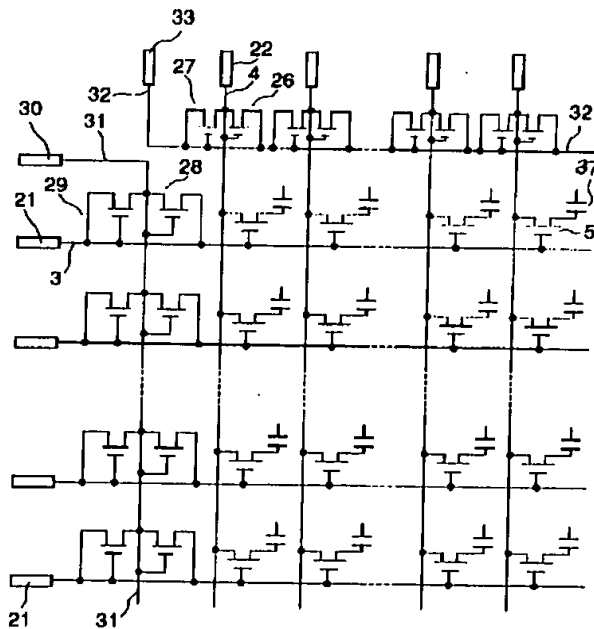
34 走査電圧

35 信号線電圧

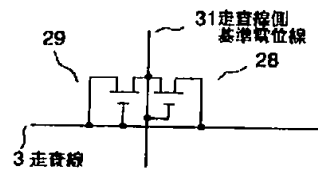
36 共通電極電圧

37 コンデンサ

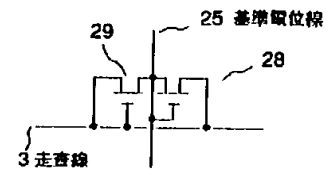
【図1】



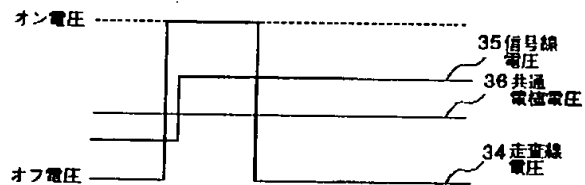
【図2】



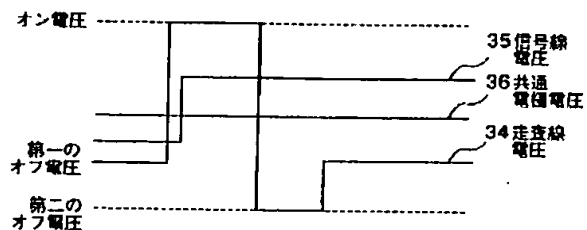
【図10】



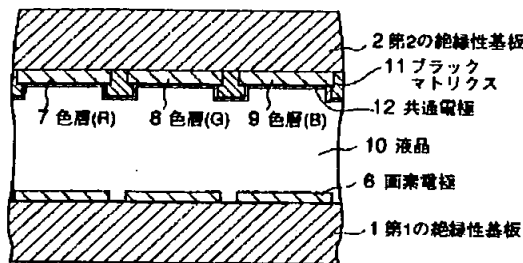
【図3】



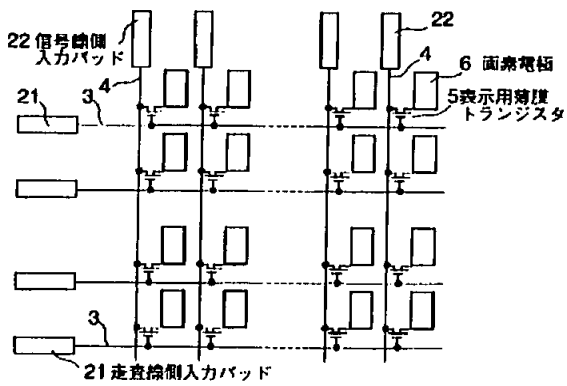
【図4】



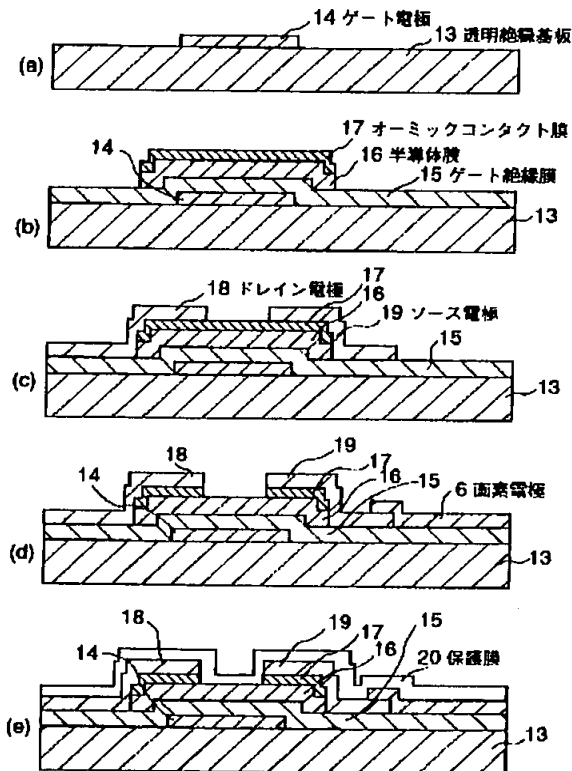
【図 5】



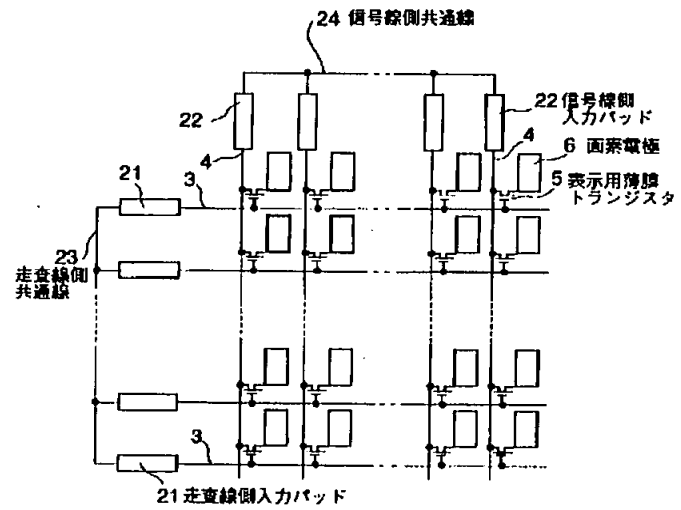
【図 6】



【図 7】



【図 8】



【図 9】

【図 11】

